

Trường Đại học Bách Khoa -
 ĐHQG Tp.HCM
 Khoa: Khoa Khoa học và Kỹ
 thuật Máy tính
 Khoa/Bộ môn quản lý MH: Kỹ
 thuật Máy tính

Tp.HCM, ngày tháng
 năm

Đề cương môn học Sau đại học

KIẾN TRÚC HỆ THỐNG HIỆN ĐẠI (ADVANCED SYSTEM ARCHITECTURES)

Mã số MH: CO5260

| | | | | | | | | | | | |
|--|------------------------------------|---------------|----------------------------------|--------------|--------------|-------------------|--|--|--|--|--|
| Số tín chỉ: | Tc (LT,BT&TH.Tự Học): 3 | | | | | ECTS: 6 | | | | | |
| Số tiết | -Tổng: 72 | LT: 30 | BT: 6 | TH: 0 | ĐA: 0 | BTL/TL: 36 | | | | | |
| Đánh giá: | Chuyên cần: | 20% | Điểm danh và làm bài tập tại lớp | | | | | | | | |
| | TL/BTL: | 30% | Tiểu luận, Bài tập lớn | | | | | | | | |
| | Thi: | 50% | Trắc nghiệm hoặc tự luận | | | | | | | | |
| - Môn tiên quyết: | | | | | | | | | | | |
| - Môn học trước: | | | | | | | | | | | |
| - Môn song hành: | | | | | | | | | | | |
| - CTĐT ngành (Mã ngành): Khoa Học Máy Tính (8480101) | | | | | | | | | | | |
| - Ghi chú khác: | | | | | | | | | | | |

1. Mục tiêu môn học:

Mục tiêu của môn học này là giới thiệu các kiến trúc máy tính mới và thay thế, nguyên tắc thiết kế các hệ thống máy tính hiệu suất cao, các khái niệm thiết kế tập lệnh. Môn học còn trang bị cho bạn các kỹ năng để thực hiện so sánh hiệu suất, cải thiện hiệu suất của các hệ thống máy tính, và phát triển các ứng dụng để giải quyết vấn đề tính toán phức tạp. Môn học cung cấp kiến thức nền tảng cao, giúp học viên tiếp thu tốt hơn các vấn đề liên quan đến các hệ thống đa xử lý, tính toán song song, lập trình song song, v.v...

Aims:

This course is about the principles of new and alternative computer architectures, computer design, the design concepts of high-performance computing systems, the overview of instruction set design. It also equips you with the skills to undertake performance comparisons, improve the performance of computer systems, and develop applications to solve computationally intensive problems. The course provides advanced knowledge base, helps

students better absorb the problems related to multiprocessor systems, parallel computing, parallel programming, etc.

2. Nội dung tóm tắt môn học:

Course outline:

3. Tài liệu học tập:

- [1] J.Hennessy, D.Patterson, Computer Architecture: A Quantitative Approach, Morgan Kaufman, 2004
- [2] Dubois, M, Annavaram, M, and Stenström, P. Parallel Computer Organization and Design, Cambridge University Press, 2012
- [3] W. Stallings, Computer Organization and Architecture, Pearson Prentice Hall, 2006
- [4] D. Patterson, J. Hennessy, Computer Organization and Design, Morgan Kaufman Publishers, 2005
- [5] Kai Hwang, Advanced Computer Architecture: Parallelism, Scalability, Programmability, McGraw-Hill, 1993.

4. Các hiểu biết, các kỹ năng cần đạt được sau khi học môn học:

| STT | Chuẩn đầu ra môn học (CĐRMH) | Công cụ đánh giá CĐRMH | Đóng góp CĐR Chương trình (CĐRCT) | | |
|---------|---|------------------------|-----------------------------------|------------|-----|
| | | | Ứng dụng | Nghiên cứu | |
| CĐRMH.1 | Mô tả các kiến trúc hiện đại như RISC, CISC, Super Scalar, VLIW (máy có từ lệnh dài), các hệ thống đa lõi và đa bộ xử lý. | Thi | f | | 1.3 |
| CĐRMH.2 | Mô tả các hoạt động cải tiến hiệu suất như pipelines, dynamic scheduling, branch prediction, bộ nhớ cache, và song song hóa mức lệnh. | Thi | f | | 1.3 |

Learning outcomes:

| No. | Course learning outcomes (CLO) | CLO assessment | Matching with PLO | | |
|-------|---|----------------|-------------------|----------|-----|
| | | | Coursework | Research | |
| L.O.1 | Describe modern architectures such as RISC, CISC Super Scalar, VLIW (very large instruction word), multi-core and multi-processor systems | Exam | f | | 1.3 |
| L.O.2 | Describe the operation of performance enhancements such as pipelines, dynamic scheduling, branch prediction, caches, and Instruction-level parallelism. | Exam | f | | 1.3 |

Bảng ánh xạ chuẩn đầu ra môn học và chuẩn đầu ra chương trình ứng dụng:

| Chuẩn đầu ra môn học (CĐRMH) | Chuẩn đầu ra của chương trình (CĐRCT) | | | | | | | | | | |
|------------------------------|---------------------------------------|---|---|---|---|---|---|---|---|---|---|
| | a | b | c | d | e | f | g | h | i | j | k |
| CĐRMH.1 | | | | | | ✘ | | | | | |
| CĐRMH.2 | | | | | | ✘ | | | | | |

Bảng ánh xạ chuẩn đầu ra môn học và chuẩn đầu ra chương trình nghiên cứu:

| Chuẩn đầu ra môn học (CĐRMH) | Chuẩn đầu ra của chương trình (CĐRCT) | | | | | | | | | | |
|---------------------------------|---------------------------------------|---|---|---|---|---|---|---|---|---|---|
| | a | b | c | d | e | f | g | h | i | j | k |
| CĐRMH.1 | | | | | | | | | | | |
| CĐRMH.2 | | | | | | | | | | | |

5. Hướng dẫn cách học - chi tiết cách đánh giá môn học:

Tham dự giờ giảng trên lớp + làm bài tập, chấm điểm chuyên cần (20%)

Báo cáo tiểu luận/BT Lớn : nộp báo cáo, đánh giá thuyết trình (30%)

Thi cuối kỳ (50%)

Đối với học viên là NCS được coi là hoàn tất môn học nếu điểm môn học trên 7 điểm

Learning strategies & Assessment Scheme:

Attend classroom + homework assignments (20%)

Mini Project: submitting the report, presentation (30%)

Final exam (50%)

PhD students considered complete if the subject scores are more than 7 points

6. Nội dung chi tiết:

| Tuần/ Buổi | Chủ đề (chương) | Nội dung | Chuẩn đầu ra môn học | Tài liệu |
|---------------|--|---|-------------------------|------------|
| 1 | Các hệ thống máy tính và hiệu suất | 1.1 Sơ lược về lịch sử máy tính 1.2 CPU và quá trình thực hiện lệnh 1.3 Các vấn đề về hiệu suất trong kiến trúc máy tính | | [1-3] |
| 2,3 | RISC – Kiến trúc máy tính với tập lệnh rút gọn | 2.1 Việc thực hiện chương trình 2.2 Đặc tính của RISC 2.3 So sánh RISC và CISC 2.4 MIPS - Ví dụ CPU với kiến trúc RISC | | [1-2] |
| 4,5 | Cơ chế xử lý ống lệnh | 3.1 Khái niệm cơ bản 3.2 Hazard trong việc xử lý ống lệnh 3.3 Xử lý rẽ nhánh 3.4 Tiên đoán rẽ nhánh | | [1-2] |
| 6,7 | Hệ thống bộ nhớ | 4.1 Phân cấp hệ thống bộ nhớ 4.2 Bộ nhớ cache 4.3 Bộ nhớ trong & Bộ nhớ ngoài 4.4 Bộ nhớ ảo | | [1-3] |
| 8,9 | Xử lý song song và các kiến trúc | 5.1 Giới thiệu 5.2 Phân loại kiến trúc 5.3 Hiệu suất của các kiến trúc song song 5.4 Kiến trúc MIMD 5.5 Cache liên kết | | [2-5] |
| 10 | Superscalar & VLIW | 6. 1 Giới thiệu Superscalar 6.2 So sánh superscalar và superpipeline 6.3 Vấn đề phụ thuộc 6.4 Thực hiện lệnh song song 6.5 Giới thiệu VLIW 6.6 IA-64 | | [1-2]. [5] |

7. Giảng viên tham gia giảng dạy:

CBGD
chính:

PGS.TS
Trần
Ngọc
Thịnh

CBGD
tham
gia:

PGS.TS
Phạm
Quốc
Cường

**XÁC NHẬN
CỦA HỘI
ĐỒNG XÂY
DỰNG
CHƯƠNG
TRÌNH ĐÀO
TẠO VÀ KHOA**

*Tp. Hồ Chí
Minh, ngày
..... tháng
..... năm*

.....
**GIẢNG
VIÊN
LẬP ĐỀ
CƯƠNG**

**TS. Phạm
Hoàng
Anh**